

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-310793

(43)Date of publication of application : 07.11.2000

(51)Int.Cl.

G02F 1/136  
G02F 1/1343

(21)Application number : 11-121182

(71)Applicant : CANON INC

(22)Date of filing : 28.04.1999

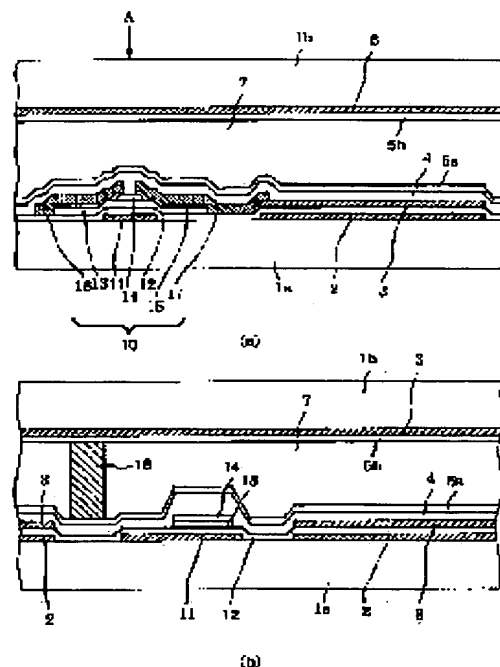
(72)Inventor : KOMIYAMA KATSUMI  
ENOMOTO TAKASHI

## (54) LIQUID CRYSTAL ELEMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the short circuit between upper and lower substrates, to obtain high reliability and to improve shock resistance by forming an auxiliary capacitance electrode which has an almost the same area as that of a pixel electrode and which overlaps on the pixel electrode on the substrate side of the pixel electrode through an insulating layer or each pixel so as to form an auxiliary capacitance under the pixel electrode.

**SOLUTION:** An auxiliary capacitance electrode 2 having an almost same area as a pixel electrode 3 and overlapped with the pixel electrode 3 is formed in the substrate side of the pixel electrode 3 through an insulating layer for each pixel to form an auxiliary capacitance under the pixel electrode 3. By forming the auxiliary capacitance electrode 2 having the almost same area as the pixel electrode 3, no difference in the surface level is formed in the pixel electrode 3 and the aligning property can be improved. By forming a partition wall 18 between adjacent pixel electrodes without using a spacer, damages of the pixel electrode 3 by a spacer, the short circuit with the auxiliary capacitance electrode 2, or the short circuit between upper and lower electrodes can be prevented. Moreover, the partition wall 18 itself does not collapse by the pressure of the upper and lower substrates so that the shock resistance of the device can be improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(51) Int. Cl. <sup>7</sup>	G 02 F	1/136	1/1343
識別記号	F I		
	G 02 F	1/136	5 0 0
		1/1343	2 H 0 9 2

審査請求 未請求 附設項の版 7 O L (全 11 頁)

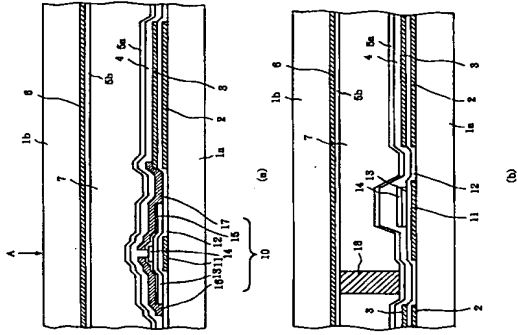
(21) 出願番号	特願平11-121182	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成11年4月28日 (1999.4.28)	(72) 発明者	小宮山 寛美 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	榎本 隆 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(74) 代理人	10005828 弁理士 渡辺 敏介 (外1名)

(54) 【発明の名称】 液晶素子

(57) 【要約】

【課題】 自発分極を有する液晶をアクティブマトリクス方式により駆動する液晶素子において、上下基板でのショートや配向性の劣化を生じない大きな容量値の補助容量を設ける。

【解決手段】 画素電極3と面積がほぼ等しい補助容量電極2を、画素電極3下に形成することにより、画素電極内に段差が発生するのを防止し、さらに、セルギャップの制御を、画素間に設けた隔壁18によって行なう。



電極の面積を表1に示す。表1においては、TN液晶も、

強誘電性液晶1〜4も比誘電率 $\epsilon$ を5、液晶に印加され

る最大駆動電圧を5V、画素電極面積 $S=100\mu\text{m}^2$

300 $\mu\text{m}$ とし、容量の異なる補助容量に対して、画素\*

	TN液晶 ( $\epsilon=0$ )	強誘電性液晶		
	(1) $P_0=20\text{mC}/\text{cm}^2$	(2) $P_0=100\text{mC}/\text{cm}^2$	(3) $P_0=50\text{mC}/\text{cm}^2$	(4) $P_0=10\text{mC}/\text{cm}^2$
C <sub>1</sub>	0.25pF	1.05pF	1.05pF	1.05pF
V <sub>1</sub> -C <sub>1</sub>	1.25pC	5.1pC	5.1pC	5.1pC
2P <sub>0</sub> -S	0	60pC	30pC	6pC
(1) $r=5$ $P_0=300\mu\text{A}$ 駆動電圧 25pC	$S \times 1/20$ (1pF分)	$S \times 2.7$	$S \times 1.4$	$S \times 0.27$
(2) $r=10$ $P_0=300\mu\text{A}$ 駆動電圧 4pC	$S \times 2.7$	$S \times 1.4$	$S \times 0.58$	$S \times 0.14$
(3) $r=20$ $P_0=300\mu\text{A}$ 駆動電圧 0.5pC	$S \times 1.4$	$S \times 0.88$	$S \times 0.34$	$S \times 0.07$
(4) $r=20$ $P_0=300\mu\text{A}$ 駆動電圧 0.1pC	$S \times 0.88$	$S \times 0.34$	$S \times 0.17$	$S \times 0.03$

【0013】強誘電性液晶においては、自発分極の反転によって発生する反転電流で消費される電荷 $=2Ps$ ・Sを合わせて補助容量に蓄積することになる。従って、自発分極の大きな液晶で、5〜20程度の絶縁膜を用いた場合には、表1に示すように、画素電極面積に近い面積の補助容量電極を形成し、画素電極内に補助容量を形成する必要がある。しかしながら、画素電極内に大きな補助容量を形成した場合には、次のような問題点があった。

【0014】(1)画素電極下に補助容量電極を形成するために、その上層に形成された画素電極の平面平行性が低下し、液晶配向性が劣る。具体的には、画素電極の一部に補助容量による段差が生じると、容量の作り込み方法によるが、ITO層一層で1000〜2000Å、二層では4000Åに近い段差が生じてしまい、配向れを生じてしまう。

【0015】(2)大きな容量を作るために、薄い絶縁膜を大面積で用いるため、上下ショートを起こし易い。

【0016】(3)スメクチック液晶の最速ギャップは、TN液晶の約6 $\mu\text{m}$ 程度に比べ、1〜2 $\mu\text{m}$ と狭いため、ギャップが出しにくく、ギャップ材を分散させて、セル立を行なうとギャップ材のダメージによって、補助容量にショートやリークが発生する場合があった。

【0017】(4)図8の構成の液晶素子のTN液晶1

上下ショートを防止した信頼性の高い素子を提供することにある。

【0020】

【課題を解決するための手段】本発明は、一対の基板間に自発分極を有する液晶を挟持してなり、二次元状に配置した画素毎にスイッチング素子と画素電極を配し、該スイッチング素子により各画素電極への信号印加を制御するアクティブマトリクス方式の液晶素子であって、上記画素毎に、画素電極と面積が略等しく且つ該画素電極に重なる補助容量電極を絶縁層を介して該画素電極の基板上に形成し、該画素電極下に補助容量を形成したことを特徴とする液晶素子である。

【0021】

【発明の実施の形態】本発明においては、補助容量電極を画素電極と略同じことで、画素電極内における段差をなくし、配向性を低下させることなく大きな容量の補助容量を形成することができる。また、本発明においては、画素電極下に平坦化膜を形成することにより、大面積の補助容量に対して外力に対するバリアーとすることができ、上下ショートを低減することができる。同時に、該平坦化膜によって平滑化した上に画素電極を形成することにより、配向性を向上させることができる。

【0022】さらに本発明においては、隔壁によってセルギャップを形成することにより、大きな補助容量を形成したことに よる上下ショートの問題点を軽減することができる。同時に、上下基板の固定を強固にすることができ、耐衝撃性に劣るスメクチック液晶においても耐衝撃性を改善することができる。

【0023】以下に具体的な実施形態を示し、本発明を詳細に説明する。

【0024】【実施形態1】図1に本発明の液晶素子の一実施形態の構成を模式的に示す断面図を示す。図1の(a)は1画素分の断面図であり、(b)は(a)の矢印A点の紙面に垂直な方向の断面図である。図1中、先に説明した図8と同じ部材には同じ符号を付す。図1において、7は自発分極を有する液晶、18は隔壁である。

【0025】また、図2には当該実施形態の電気的な等価回路を示す図であり、便宜上4×4画素について記載している。図2中、21は補助容量、22は液晶容量、23は走査信号線、24は駆動信号線、25は補助容量を形成する補助容量電極を接地するための引き出し線である。

【0026】本発明の液晶素子は、アクティブマトリクス方式で駆動するもので、図1に示すように、平行に配置された一対の基板1a、1bとの間に液晶7を挟持してなり、通常、不図示の偏光板をそれぞれの基板1a、1bの外側に配置して用いる。

【0027】基板1a、1bは絶縁性基板で、通常、ガ

ラス板が用いられるが、必要な透明性と強度が得られれば、プラスチック基板も用いることができる。基板1a(アクティブマトリクス基板)には、複数の画素が二次元状にマトリクス配置し、各画素毎にITO等の透明導電材料からなる画素電極3と、該画素電極3にドレイ電極17を接続されたTFT10とが配列形成されている。各画素のTFT10のゲート電極11は走査信号線23に、ソース電極16は駆動信号線24にそれぞれ接続され、外部よりコントロールされる。

【0028】図1に示すように、TFT10及び画素電極3上には、パッシベーション膜4が形成されているが、この膜は、本実施形態では絶縁膜と兼用の平坦化膜として形成される。

【0029】本発明においては、各画素毎に、画素電極3と面積が略等しい補助容量電極2が形成され、補助容量2を形成している。補助容量2は、液晶容量3と並列に接続されることになる。これらの上にパッシベーション膜17として、SiN、SiO<sub>2</sub>などによる層が全面に形成され、さらにその上に、ポリイミドなどからなる表面にラビング処理などの配向処理が施された配向膜5aが形成されている。

【0030】一方、基板1b(対向基板)には、画素電極3に対して一定の基調電圧が印加される透明な対向電極6が形成され、その上には表面に配向処理が施された配向膜5bが形成されている。

【0031】上記アクティブマトリクス基板と対向基板は、外周部において枠状のシール材(不図示)を介して接合され、画素電極とシール材に囲まれた領域に液晶7が封入される。液晶7としては、強誘電性や反強誘電性を用いる。これらの液晶を、その隔壁ピッチよりも小さいセルギャップで封入することにより、液晶によって、単安定や2安定、3安定、或いはヒステリシス特性のない、いわゆる無しきい値の電気光学特性を持たせることができる。セルギャップは、隔壁18によって一定に保たれる。隔壁18は、例えば図1(b)に示されるように、画素電極間を走査信号線に沿ってストライプ状に形成される。

【0032】図1に示されるように、本実施形態では補助容量電極2を画素電極3と同じ面積で形成したため、画素電極3内に段差がなく、配向性が良い。また、スベ一サを用いず、隔壁18を隣接する画素電極間に形成したことにより、スベ一サによる画素電極3の粗面や、補助容量電極とのショート、上下電極間でのショートが防止される。また、隔壁18自体が上下基板の圧力でつぶれることもなく、素子の耐衝撃性が向上する。

【0033】本実施形態では、補助容量電極2を画素電極3の下に全面に形成しているため、パッシベーション膜4を平坦化膜として厚くすることなく、2000〜4

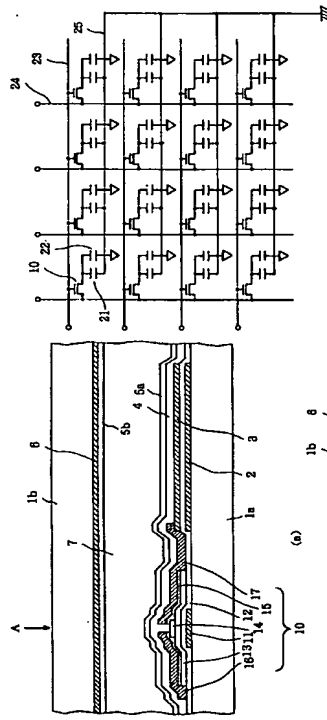




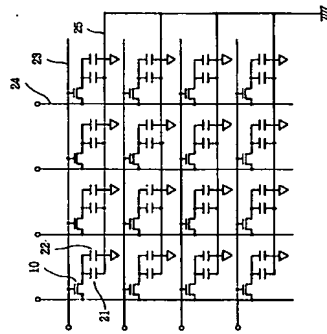
15

- 11 ゲート電極
- 12 ゲート絶縁膜
- 13 i型半導体層
- 14 プロッキング層
- 15 オキシコンタクト層
- 16 ソース電極
- 17 ドレイン電極
- 18 隔壁
- 21 補助容量
- 22 液晶容量
- 23 走査信号線
- 24 情報信号線
- 101 TN液晶
- 102 スペーサ

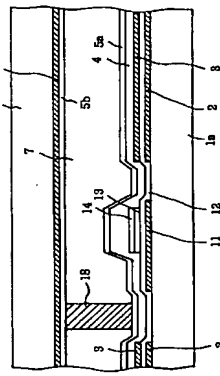
【図1】



【図2】

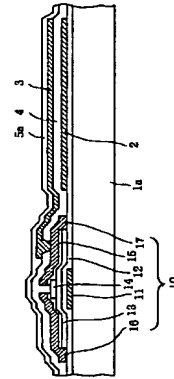


(a)

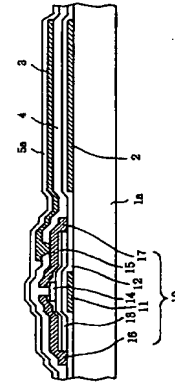


(b)

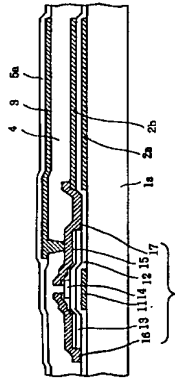
【図4】



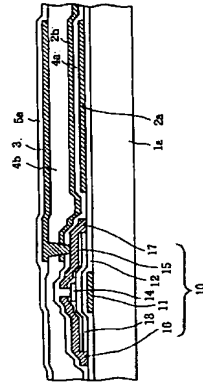
【図3】



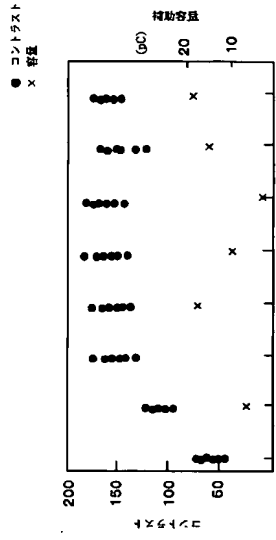
【図5】



【図6】

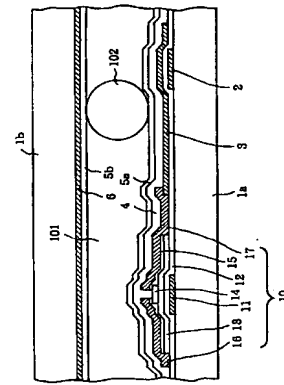


【図7】



従来例 実施例1 実施例2 実施例3 実施例4 実施例5 実施例6 実施例7

【図8】



フロントページの続き

Fターム(参考) 2H092 JA26 JA29 JA33 JA35 JA36  
JA38 JA42 JA44 JA46 JB13  
JB23 JB32 JB33 JB51 JB57  
JB63 JB69 KA05 KA12 KA16  
KA18 KB23 MA05 MA08 MA14  
MA15 MA16 MA18 MA19 MA20  
MA22 MA27 MA35 MA37 MA41  
NA16 MA25 PA02 PA06 OA13  
OA14